

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 6 日  
Date of Application:

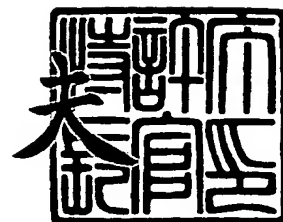
出 願 番 号            特 願 2 0 0 3 - 0 8 5 7 9 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 5 7 9 1 ]

出   願   人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 4 年   1 月   6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0444101

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 木島 健

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 大橋 幸司

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 名取 栄治

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

## 【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

## 【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

## 【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体キャパシタおよびその製造方法、強誘電体メモリ

【特許請求の範囲】

【請求項 1】 所与の基体上に下部電極を形成すること、

前記下部電極上に P b、Z r、T i、および N b を構成元素として含む P Z T N 複合酸化物からなる強誘電体膜を形成すること、

前記強誘電体膜の上に上部電極を形成すること、

前記下部電極、強誘電体膜、および上部電極を被覆するように保護膜を形成すること、

少なくとも前記保護膜を形成した後に、前記 P Z T N 複合酸化物を結晶化するための熱処理を行うこと、

を含む、強誘電体キャパシタの製造方法。

【請求項 2】 請求項 1 において、

前記強誘電体膜は、形成時に酸化雰囲気下で仮熱処理が施され、前記 P Z T N 複合酸化物を結晶化するための熱処理が行われるまでアモルファス状態とされている、強誘電体キャパシタの製造方法。

【請求項 3】 請求項 1 または 2 において、

前記保護膜は、酸化シリコン膜であって、トリメチルシランを用いて形成される、強誘電体キャパシタの製造方法。

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記 P Z T N 複合酸化物を結晶化するための熱処理を非酸化雰囲気中で行う、強誘電体キャパシタの製造方法。

【請求項 5】 請求項 1 ～ 4 のいずれかに記載された製造方法を用いて形成される、強誘電体キャパシタ。

【請求項 6】 請求項 5 に記載された強誘電体キャパシタを含む、強誘電体メモリ。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、強誘電体キャパシタおよびその製造方法、強誘電体メモリに関する。

**【0002】****【背景技術】**

強誘電体メモリ（F e R A M）は、強誘電体膜を用いた強誘電体キャパシタの自発分極によりデータを保持するものである。

**【0003】**

この強誘電体メモリにおいては、強誘電体キャパシタに含まれる強誘電体膜の結晶状態がデバイスの特性を決定する要因の一つとなる。そして、強誘電体メモリの製造工程では、層間絶縁膜や保護膜を形成する工程を有し、水素を大量に発生するプロセスが使用される。このとき、強誘電体膜は、主として酸化物から形成されているため、製造工程中に発生した水素により酸化物が還元され、強誘電体キャパシタの特性に望ましからぬ影響を与えることがある。

**【0004】**

このため、従来の強誘電体メモリにおいては、強誘電体キャパシタの特性劣化を防止するためにアルミ酸化膜やアルミ窒化膜などのバリア膜により強誘電体キャパシタを被覆することによってキャパシタの耐還元性を担保していた。しかし、これらのバリア膜は強誘電体メモリの高集積化に際して余剰な占有領域を必要とするものであり、また生産性の面からも、強誘電体メモリをより簡便なプロセスによって製造できる手法が望まれている。

**【0005】****【発明が解決しようとする課題】**

本発明の目的は、バリア膜を不要とした簡便なプロセスで十分な特性を担保できる、強誘電体キャパシタおよびその製造方法、ならびにかかる強誘電体キャパシタを用いた強誘電体メモリを提供することにある。

**【0006】****【課題を解決するための手段】**

（1）本発明の強誘電体キャパシタの製造方法は、所与の基体上に下部電極を

形成すること、前記下部電極上にPb、Zr、Ti、およびNbを構成元素として含むPZTN複合酸化物からなる強誘電体膜を形成すること、前記強誘電体膜の上に上部電極を形成すること、前記下部電極、強誘電体膜、および上部電極を被覆するように保護膜を形成すること、少なくとも前記保護膜を形成した後に、前記PZTN複合酸化物を結晶化するための熱処理を行うこと、を含む。

#### 【0007】

本発明によれば、強誘電体膜の材料としてPb、Zr、Ti、およびNbを構成元素として含むPZTN複合酸化物を用いて、かかるPZTN複合酸化物の結晶化を保護膜形成後に行う。このため、仮に保護膜の形成時において強誘電体膜がプロセス中に発生した水素によるダメージを受けていたとしても、その後に結晶化のための熱処理が行われることで、かかるダメージを回復しつつPZTN複合酸化物が結晶化されるので、従来のように、強誘電体膜を還元反応から保護するためのバリア膜の形成プロセスを省略することができ、生産性の向上および生産コストの低減を図ることができる。

#### 【0008】

本発明の強誘電体キャパシタの製造方法は、以下の態様を取り得る。

#### 【0009】

(A) 前記強誘電体膜は、形成時に酸化雰囲気下で仮熱処理が施され、前記PZTN複合酸化物を結晶化するための熱処理が行われるまでアモルファス状態とされていることができる。

#### 【0010】

かかる態様によれば、強誘電体膜は結晶化されるまでアモルファス状態とされている。このため、かかる態様における強誘電体膜では、保護膜形成までアモルファス状態であることにより粒界拡散による結晶品質の劣化を防止することができる。そして、このアモルファス状態の強誘電体膜は、酸化雰囲気下で仮熱処理が施されているので、膜中に酸素が導入されている。このため、結晶化のための熱処理時においては、雰囲気中に含まれるガス種に依存することなくPZTN複合酸化物の結晶化を行うことができる。

#### 【0011】

(B) 前記保護膜は、酸化シリコン膜であって、トリメチルシランを用いて形成されることができる。

【0012】

かかる態様によれば、酸化シリコン膜の形成に一般的に用いられているテトラメチルオルトシリケート (TEOS) に比べて、プロセス中の発生水素量が少ないトリメチルシラン (TMS) を用いて酸化シリコン膜からなる保護膜を形成するため、強誘電体膜への還元反応によるダメージを低減することができる。

【0013】

(C) 前記 P Z T N 複合酸化物を結晶化するための熱処理を非酸化雰囲気中で行うことができる。

【0014】

かかる態様によれば、結晶化のための熱処理を非酸化雰囲気中で行うため、例えば、プロセス中のデバイスにキャパシタ以外の周辺部材 (例えば、金属配線) などが含まれる場合であっても、かかる周辺部材に対して高温熱処理による酸化ダメージを与えることを防止することができる。

【0015】

(2) 本発明の強誘電体キャパシタは、上記強誘電体キャパシタの製造方法を用いて形成され、該強誘電体キャパシタを含む強誘電体メモリに適用することができる。

【0016】

【発明の実施の形態】

以下、本発明に好適な実施の形態について、図面を参照しながら説明する。

【0017】

1. 強誘電体キャパシタの製造方法

図1は、本発明の実施の形態に係る強誘電体キャパシタの製造工程の一例を模式的に示す断面図である。

【0018】

(1) まず、図1 (A) に示すように、所与の基体10上に下部電極20、強誘電体膜30、上部電極40を順次積層して形成する。

## 【0019】

基体10としては、例えば、半導体基板、樹脂基板など強誘電体キャパシタの用途に応じて好適なものを任意に採用することができ、特に限定されない。

## 【0020】

下部電極20および上部電極40としては、例えば、Pt、Ir、Ru等の貴金属単体または前記貴金属を主体とした複合材料からなるものを採用することができる。また、下部電極20および上部電極40は、例えば、スパッタ法や蒸着法など公知の成膜方法を用いて形成することができる。また、下部電極20及び上部電極40に強誘電体の構成元素が拡散すると電極と強誘電体膜30との界面部に組成ずれを起こしヒステリシスの角型性が低下するため、下部電極20及び上部電極40には強誘電体の構成元素が拡散しない程度の緻密性があることが望まれる。そこで、下部電極20及び上部電極40の緻密性を上げるために、質量の重いガスでスパッタ成膜する方法や、Y、La等の酸化物を貴金属電極中に分散させる等の方法を採用することができる。

## 【0021】

強誘電体膜30は、Pb、Zr、Ti、およびNbを構成元素として含む、いわゆるPZTN複合酸化物である。また、強誘電体膜30は、Pb、Zr、Ti、Nbを含むゾルゲル溶液を例えば、スピコート法などを用いて下部電極20上に塗布することにより形成することができる。かかるゾルゲル溶液としては、Pb及びZrによるPbZrO<sub>3</sub>ペロブスカイト結晶を形成するために縮重合体をn-ブタノール等の溶媒に無水状態で溶解した第1のゾルゲル溶液、PZTN強誘電体相の構成金属元素のうち、Pb及びTiによるPbTiO<sub>3</sub>ペロブスカイト結晶を形成するために縮重合体をn-ブタノール等の溶媒に無水状態で溶解した第2のゾルゲル溶液、およびPZTN強誘電体相の構成金属元素のうち、Pb及びNbによるPbNbO<sub>3</sub>ペロブスカイト結晶を形成するために縮重合体をn-ブタノール等の溶媒に無水状態で溶解した第3のゾルゲル溶液を混合したものを用いることができる。さらに、強誘電体膜30を形成する際には、PZTN複合酸化物の結晶化温度を低くするために、シリケートやゲルマネートを含むゾルゲル溶液を添加してもよい。具体的には、例えば、PbSiO<sub>3</sub>結晶を形成す



るために縮重合体を n-ブタノール等の溶媒に無水状態で溶解した第 4 のゾルゲル溶液を例えば、1 モル%以上 5 モル%未満で上記混合ゾルゲル溶液中に更に添加することができる。かかる第 4 のゾルゲル溶液を混合することにより、Nb が構成元素に含まれることにより結晶化温度が高くなる PZTN 複合酸化物の結晶化温度を 700℃以下の素子化可能な温度範囲で結晶化させることが可能となる。

#### 【0022】

また、強誘電体膜 30 は、かかる塗布膜に対して酸化雰囲気中で PZTN 複合酸化物が結晶化しない温度（例えば、400℃以下）で仮熱処理を行い、PZTN 複合酸化物をアモルファス状態としておくことが好ましい。これにより、強誘電体膜 30 がアモルファス状態であることで粒界の存在しない状態となり、構成元素の拡散を防止しつつ後述する工程を進めることができる。また、この仮熱処理を酸化雰囲気中で行うことは、後述する保護膜形成後に PZTN 複合酸化物を結晶化させるために必要な酸素成分を強誘電体膜 30 の中に導入する役割もある。

#### 【0023】

(2) 次に、図 1 (B) に示すように、下部電極 20、強誘電体膜 30、および上部電極 40 をエッチングして所望の形状に加工し、これらを被覆するように、SiO<sub>2</sub>（酸化シリコン）膜からなる保護膜 50 を形成する。このとき保護膜 50 は、トリメチルシラン（TMS）を用いて CVD 法により形成することができる。トリメチルシラン（TMS）は、酸化シリコン膜の形成に一般的に用いられているテトラメチルオルトシリケート（TEOS）に比べて、CVD プロセス中の発生水素量が少ない。このため、トリメチルシラン（TMS）を用いれば、強誘電体膜 30 への還元反応によるプロセスダメージを低減させることができる。また、トリメチルシラン（TMS）を用いた保護膜 50 の形成プロセスは、TEOS を用いた形成プロセス（形成温度 400℃以上）に比べて低温（室温～350℃）で行うことができるため、(1) の工程において、強誘電体膜 30 をアモルファス状態とした場合、かかる保護膜 50 の形成工程で発生する熱等により PZTN 複合酸化物が結晶化するのを防ぎ、アモルファス状態のまま維持するこ

とができる。

#### 【0024】

(3) 次に、図1 (C) に示すように、強誘電体膜30を構成するPZTN複合酸化物を結晶化するための熱処理を行い、PZTN強誘電体結晶膜35を有する強誘電体キャパシタを得ることができる。この熱処理では、酸素雰囲気下のみならず、例えば、ArやN<sub>2</sub>などの非酸化ガス雰囲気下あるいは大気中での熱処理によってもPZTN複合酸化物を結晶化することができる。

#### 【0025】

ここで、本実施の形態の製造方法を適用してPt下部電極、PZTN強誘電体膜、Pt上部電極からなる強誘電体キャパシタ上にTMSを用いたSiO<sub>2</sub>保護膜を形成したものについて、かかるSiO<sub>2</sub>保護膜形成後にPZTN強誘電体を酸素雰囲気中および大気中で熱処理を行って結晶化した場合についてのキャパシタのヒステリシス特性を測定した結果を図2 (A) 及び図2 (B) に示す。図2 (A) は、酸素雰囲気中で熱処理を行った場合を示し、図2 (B) は、大気中で熱処理を行った場合を示す。図2 (A) 及び図2 (B) によれば、酸素雰囲気中及び大気中のいずれの雰囲気下で熱処理を行った場合にも、耐水素用のバリア膜が形成されていないにも関わらず角型性の良好なヒステリシス特性が得られた。これは、強誘電体膜30が形成時において酸化雰囲気下で仮熱処理を施されているので結晶化に必要な酸素が予め膜中に導入されているためである。すなわち、本実施の形態の製造方法では、強誘電体の結晶化を熱処理の雰囲気に依存することなく行うことができる。さらに、結晶化のための熱処理を非酸化ガス雰囲気下で行う場合は、後述する強誘電体メモリの製造方法に適用した場合などに、キャパシタ以外の周辺部材（例えば、金属配線）に対して高温熱処理による酸化ダメージを与えることを防止することができる。なお、かかる工程におけるPZTN複合酸化物の結晶化のための熱処理は、雰囲気中のガス種の依存性が少ないため、上部電極40を外周と接続するための金属配線を形成するためのコンタクトホールを保護膜50に形成した後に行ってもよい。

#### 【0026】

また、本実施の形態の製造方法を適用したPt下部電極、PZTN強誘電体膜

、Pt 上部電極からなる強誘電体キャパシタ上にTMSを用いたSiO<sub>2</sub>保護膜を形成し、かかるSiO<sub>2</sub>保護膜形成後にPZTN強誘電体を結晶化したものについて、SiO<sub>2</sub>保護膜の形成温度を室温、125℃、200℃とした場合のヒステリシス特性、および比較例としてSiO<sub>2</sub>保護膜を形成せずにPZTN強誘電体膜を結晶化した場合のヒステリシス特性を測定し、その残留分極量2Prの値の変化を計測した結果を図3に示す。図3によれば、SiO<sub>2</sub>保護膜を室温、125℃、200℃のいずれの温度で形成しても残留分極量2Prに変化は見られず、SiO<sub>2</sub>保護膜を形成した場合となんら遜色ない値が得られることが確認された。すなわち、本実施の形態の製造方法では、仮に保護膜50の形成時において強誘電体膜30がプロセス中に発生した水素によるダメージを受けていたとしても、その後にPZTN複合酸化物の結晶化のための熱処理が行われることで、かかるダメージを回復しつつPZTN複合酸化物が結晶化されるので、従来においては必要であった強誘電体膜30を還元反応から保護するためのバリア膜の形成プロセスを省略することができ、生産性の向上および生産コストの低減を図ることができる。

#### 【0027】

さらに以下では、本実施の形態の製造方法を強誘電体メモリの製造方法に適用した場合について説明する。

#### 【0028】

### 2. 強誘電体メモリの製造方法

図4は、本発明の実施の形態に係る強誘電体メモリの製造工程の一例を模式的に示す断面図である。

#### 【0029】

本実施例では、まず図4（A）に示すように、基体10の上に強誘電体キャパシタ80の下部電極20、PZTN強誘電体膜30、上部電極40を順次形成する。このときPZTN強誘電体膜30は、酸化雰囲気中で仮熱処理が施されてアモルファス状態とされている。なお、基体10としては、例えば、図4（A）に示すように、半導体基板11の上にセル選択用のトランジスタ16が形成されたものを用いることができる。このトランジスタ16は、ソース／ドレイン13、

ゲート酸化膜 14、ゲート電極 15 を有することができる。また、トランジスタ 16 の一方のソース／ドレイン 13 の上には、例えば、タンゲステンなどからなるプラグ電極 17 を形成しておき、強誘電体キャパシタ 80 の下部電極 20 と接続可能に形成したスタック構造を採用することができる。また、基体 10 内においては、トランジスタ 16 はセル間で素子分離領域 12 によりセルごとに分離されており、トランジスタ 16 の上部には、例えば、酸化膜などからなる層間絶縁膜 18 を有することができる。

#### 【0030】

次に、本実施の形態の製造工程では、図 4 (B) に示すように、強誘電体キャパシタ 80 を所望の大きさ及び形状にパターンニングする。ついで、強誘電体キャパシタ 80 を被覆するようにトリメチルシラン (TMS) を用いて  $\text{SiO}_2$  保護膜 50 を形成し、これに外部接続用のコンタクトホール 55 を形成した後に、熱処理を行い、PZTN 強誘電体を結晶化し、PZTN 強誘電体膜 35 を形成する。PZTN 強誘電体の結晶化に際しては、結晶化するための熱処理を非酸化雰囲気中で行うことができる。このようにすれば、強誘電体キャパシタ 80 以外の周辺部材 (例えば、金属配線) などに対して高温熱処理による酸化ダメージを与えることを防止することができる。

#### 【0031】

そして、最終的には、図 4 (C) に示すように、 $\text{SiO}_2$  保護膜 50 にトランジスタ 16 を外部と接続するためのコンタクトホールを形成し、金属配線層 91、92 を形成することにより強誘電体メモリを得る。本実施の形態の製造工程によれば、従来においては必要であった強誘電体膜 30 を還元反応から保護するためのバリア膜の形成プロセスを省略することができ、生産性の向上および生産コストの低減を図ることができる。また、かかるバリア膜の形成プロセスを省略しても角型性の良いヒステリシス特性を有する強誘電体キャパシタ 80 を形成することができるため、優れた特性の強誘電体メモリを得ることができる。

#### 【0032】

なお、本実施の形態では、いわゆる 1T1C 型の強誘電体メモリの製造工程について説明したが、本実施の形態の強誘電体キャパシタの製造方法は、この他に

、いわゆる 2T2C 型や単純マトリクス型（クロスポイント型）などの各種のセル方式を用いた強誘電体メモリの製造工程にも適用することが可能である。

### 【0033】

以上に、本発明に好適な実施の形態について説明してきたが、本発明は上述したものに限られず、発明の要旨の範囲内で各種の変形態様により実施することができる。

### 【図面の簡単な説明】

【図 1】 本発明の実施形態の強誘電体キャパシタの製造工程を示す図。

【図 2】 本発明の実施形態を適用した強誘電体キャパシタのヒステリシス特性を示す図。

【図 3】 本発明の実施形態を適用した強誘電体キャパシタの電気的特性を示す図。

【図 4】 本発明の実施形態の強誘電体メモリの製造工程を示す図。

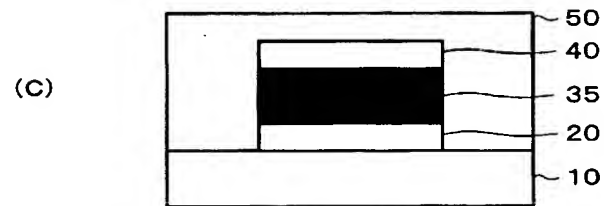
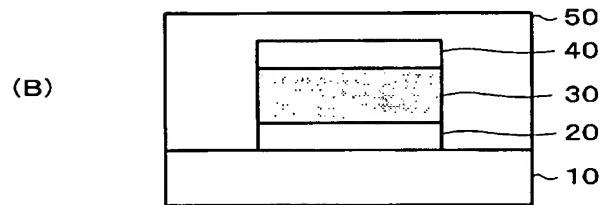
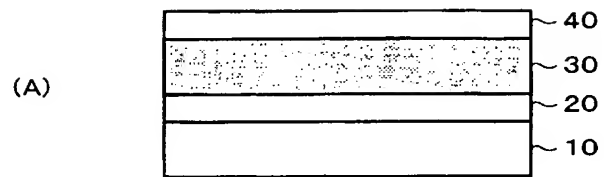
### 【符号の説明】

10 基体、20 下部電極、30, 35 強誘電体膜、40 上部電極、50 保護膜

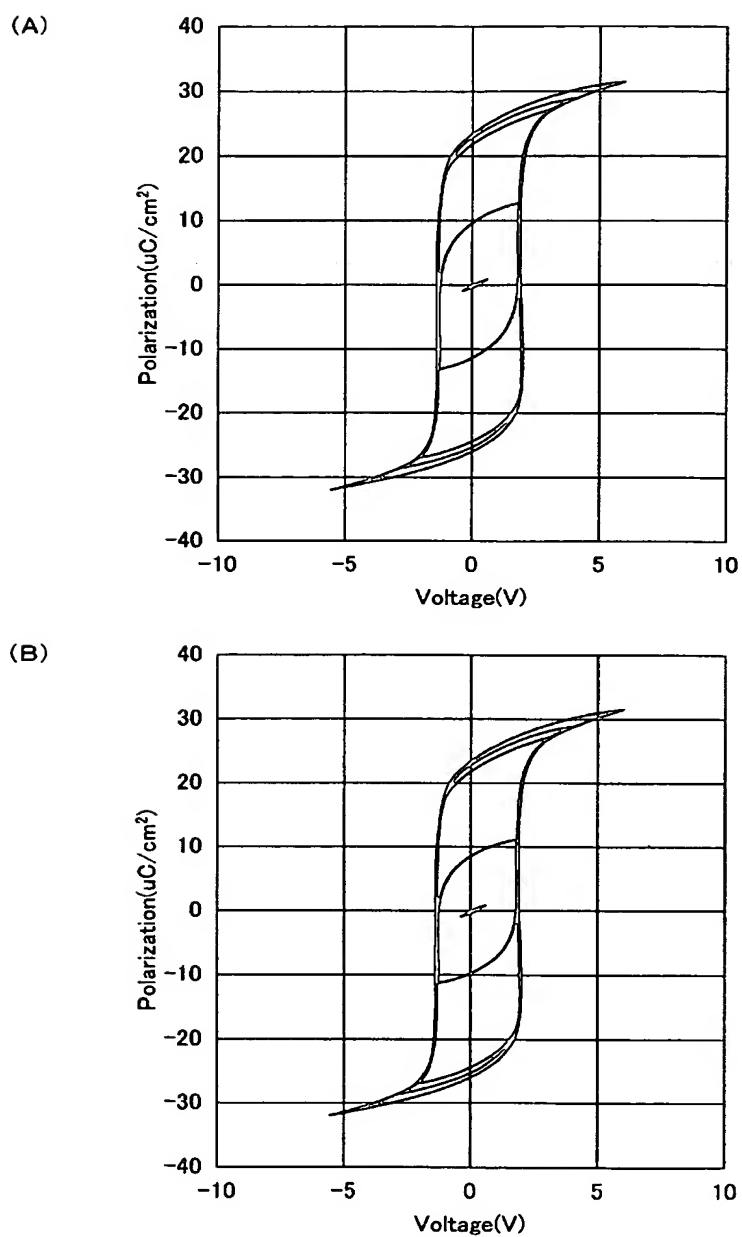
【書類名】

図面

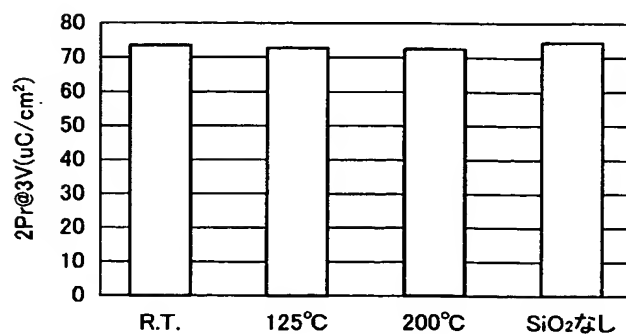
【図 1】



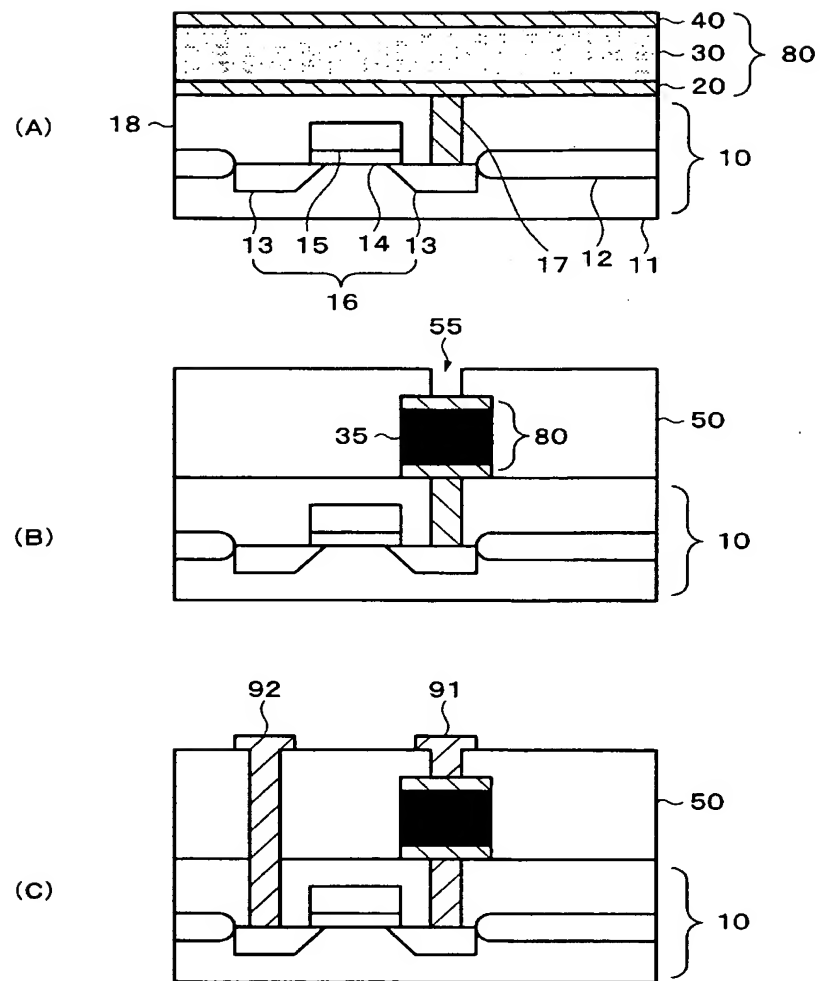
【図 2】



【図 3】



【図 4】





【書類名】 要約書

【要約】

【課題】 バリア膜を不要とした簡便なプロセスで十分な特性を担保できる、強誘電体キャパシタおよびその製造方法、ならびにかかる強誘電体キャパシタを用いた強誘電体メモリを提供する。

【解決手段】 本発明の強誘電体キャパシタの製造方法は、所与の基体 10 上に下部電極 20 を形成すること、前記下部電極 20 上に Pb、Zr、Ti、および Nb を構成元素として含む PZTN 複合酸化物からなる強誘電体膜 30 を形成すること、前記強誘電体膜 30 の上に上部電極 40 を形成すること、前記下部電極 20、強誘電体膜 30、および上部電極 40 を被覆するように保護膜 50 を形成すること、少なくとも前記保護膜 50 を形成した後に、前記 PZTN 複合酸化物を結晶化するための熱処理を行うこと、を含む。

【選択図】 図 1

特願 2 0 0 3 - 0 8 5 7 9 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社